

© EP000C / EPO

PN - JP2002149122 A 20020524  
 PD - 2002-05-24  
 PR - JP20000341228 20001109  
 OPD - 2000-11-09  
 TI - LIQUID CRYSTAL DRIVING CIRCUIT  
 IN - IIZUKA JUN  
 PA - MATSUSHITA ELECTRIC IND CO LTD  
 IC - G09G3/36 ; G02F1/133 ; G09G3/20  
 FI - G02F1/133&550 ; G09G3/36 ; G09G3/20&611A ; G09G3/20&611C ; G09G3/20&632B ;  
 G09G3/20&633P

© WF1 / DERWENT

TI - Drive circuit of liquid-crystal display device **compares data** to be **transmitted** from **control** unit to source driver with **data** previously received by the driver, based on which **data transmission** to driver is stopped  
 PR - JP20000341228 20001109  
 PN - JP2002149122 A 20020524 DW200259 G09G3/36 008pp  
 PA - (MATU ) MATSUSHITA DENKI SANGYO KK  
 IC - G02F1/133 ;G09G3/20 ;G09G3/36  
 AB - JP2002149122 NOVELTY - The **data** to be **transmitted** from a **control** unit (102) to a source driver (103,104), is **compared** with the **data** received by the driver previously. An enable signal is **transmitted** to the source driver and **data transmission** to the driver is stopped when both the **data** are same.  
 - USE - For driving liquid crystal display device.  
 - ADVANTAGE - Power consumption is **reduced** and the operation efficiency of the liquid crystal display device is improved.  
 - DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of the liquid-crystal display device. (Drawing includes non-English language text).  
 - **Control** unit 102  
 - Source drivers 103-104  
 - (Dwg.1/10)  
 OPD - 2000-11-09  
 AN - 2002-552641 [59]

© PAJ / JPO

PN - JP2002149122 A 20020524  
 PD - 2002-05-24  
 AP - JP20000341228 20001109  
 IN - IIZUKA JUN  
 PA - MATSUSHITA ELECTRIC IND CO LTD  
 TI - LIQUID CRYSTAL DRIVING CIRCUIT  
 AB - PROBLEM TO BE SOLVED: To solve the problem that electrical charge and discharge currents from a **data** bus and a clock line for transferring **data** to driver are large because picture **data** are fetched by a certain **data** fetching clock.  
 - SOLUTION: When **data** are the same in the vertical direction, a **data-enable** terminal **transmits** that the **data** are the same and does not **transmit** the other **data**. Moreover, in a case of a fixed pattern striped or the like in the horizontal direction, the terminal **transmits** that the pattern is striped and does not **transmit** the **data** at all. Moreover, as soon as the **data** to be fetched run out from the head or the inside of the source driver, a carry signal is **transmitted** to the next source driver, and the fetching clock itself can also be **reduced**.

**THIS PAGE BLANK (USPTO)**

I - G09G3/36 ;G02F1/133 ;G09G3/20

11

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-149122  
(P2002-149122A)

(43) 公開日 平成14年5月24日 (2002.5.24)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 8 0
			6 1 1 C
	6 3 2		6 3 2 B
審査請求 未請求 請求項の数 3 O L (全 8 頁) 最終頁に続く			

(21) 出願番号 特願2000-341228 (P2000-341228)

(22) 出願日 平成12年11月9日 (2000.11.9)

(71) 出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72) 発明者 飯塚 潤

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100068087

弁理士 森本 義弘

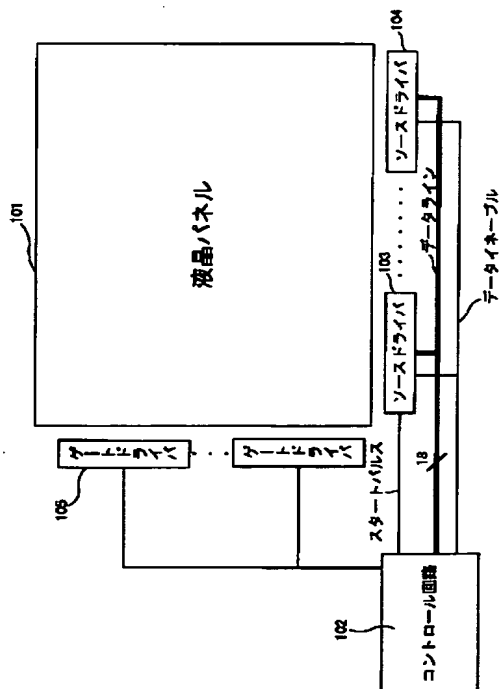
最終頁に続く

(54) 【発明の名称】 液晶駆動回路

(57) 【要約】

【課題】 一定のデータ取り込みクロックにて、画像データを取り込むので、ドライバにデータを転送するデータバス及びクロックラインの充放電電流が多い。

【解決手段】 垂直方向にデータが同じである場合には、データイネーブル端子にて同一であることを転送し、その他のデータを転送しない。また、水平方向にストライプ等ある決まったパターンである場合には、ストライプであることを転送し、全てのデータを転送しない。また、ソースドライバの最初または中より取り込みデータがなくなった場合には、直ちに次のソースドライバへのキャリー信号を転送し、取り込みクロック自体も少なくできる。



## 【特許請求の範囲】

【請求項1】液晶パネルのゲートラインを駆動するゲートドライバと、前記液晶パネルのソースラインを駆動するソースドライバと、前記ゲートドライバと前記ソースドライバを制御するコントロール回路とを有する液晶駆動回路であって、

前記コントロール回路を、前記ソースドライバにデータを送信するデータと前回同じソースドライバの同じアドレスに転送したデータとを比較して、同じであれば前記ソースドライバへデータインエーブル信号を転送してデータバスをフローティング状態とするように構成し、前記ソースドライバは、前記インエーブル信号を受け取ると、内部データラッチの取り込み信号を出力しないように構成して、前記ソースドライバのデータが変更しない場合には、前記コントロール回路より前記ソースドライバに転送するデータを少なくしたことを特徴とする液晶駆動回路。

【請求項2】前記コントロール回路は、前記ソースドライバに転送するデータ毎にデータを圧縮して転送し、前記ソースドライバは、前記コントロール回路からのデータを解凍して内部データラッチするよう構成したことを特徴とする請求項1記載の液晶駆動回路。

【請求項3】データを圧縮してデータを転送および記憶した場合に、前記コントロール回路よりデータの終了信号を前記ソースドライバに転送し、前記ソースドライバでは、データの終了信号の取り込み後、次段のスタートパルスを転送するよう構成したことを特徴とする請求項2記載の液晶駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】大画面で、高画質を要望されるモニター用TFTパネルや、携帯用で低消費電力を特徴とするような液晶パネルの液晶駆動回路に関するものである。

## 【0002】

【従来の技術】通常、デジタルインターフェースのTFT液晶パネルのソースライン駆動装置（以下、液晶ソースドライバと称す）の画像データは、1垂直期間の間に水平同期信号に同期して、1出力端子分または任意数の端子ずつ全てのデータを順に取り込んでいく。そして次の1垂直同期信号に同期して、取り込んだデータをバッファにより増幅し、出力する。

【0003】図8は従来の液晶パネルを示している。201は液晶パネル、202はドライバの同期信号の制御およびデータをドライバに転送するコントロール回路、203は液晶パネル201のソースラインを駆動する1番目のソースドライバ、204は液晶パネル201のソースラインを駆動するn番目のソースドライバ、205はゲートドライバを表している。

【0004】液晶パネル201は、コントロール回路2

02からの垂直同期信号で1ラインずつ順番に選択していくゲートドライバ205の出力信号と、コントロール回路202からのデジタルデータをD/A変換し、垂直同期信号によりアナログ値を出力するソースドライバ203～204の値により画像を写すことができる。

【0005】図9は液晶パネル駆動用ICの制御を行うコントロール回路202を示し、211はソースドライバへデータを転送する駆動バッファを表している。図10はソースドライバ203および204を示し、213はシフトレジスタ、214はシフトレジスタ213からのラッチパルスに同期して順番にデータを記憶する1段目データラッチ、215はコントロール回路202からの垂直同期信号に従って1段目データラッチ214の内容を記憶する2段目データラッチである。216は出力バッファ回路で、2段目データラッチ215の出力をD/A変換して出力する。

【0006】次に、各部の接続について詳細に述べていく。1番目のソースドライバ203の出力数を384出力とし、出力電圧の階調数を64階調とすると、1出力あたり6ビットのデータが必要となり、第1段目のデータラッチ214は384×6=2304個のラッチ構成されていて、第2段目のソースドライバ215も同様に2304個のラッチで構成されている。液晶パネル201上でRGBデータを1度に取り込むとすると、384出力分データを取り込むのに128個のシフトレジスタ213が必要である。コントロール回路202からソースドライバへのデータバスは1出力あたり6ビットでRGBの3色必要であるから、18ビット幅が必要である。

【0007】次に各部の動作について詳細に述べていく。まずコントロール回路202からソースドライバ203～204へのデータの転送は、水平同期信号に従って18ビット幅のデータを常時出力している。データと、対応する出力端子の位置はコントロール回路202より最初のソースドライバ203に対してデータのスタート位置を示すスタートパルスを転送する。

【0008】ソースドライバ203では、シフトレジスタ213によってスタートパルスを水平同期信号に従ってシフトしながらデータを出力端子に取り込んでいく。128個のシフトレジスタを通り、第1段目のデータラッチ214に全てのデータを記憶すると、キャリアから次段へのスタートパルスを転送する。

【0009】全てのソースドライバ203～204の第1段目のデータラッチ214にデータを記憶すると、各ソースドライバ203～204では、垂直同期信号をコントロール回路202より受け取り、第1段目のデータラッチ214のデータを第2段目のデータラッチ215に転送し、D/A変換されたアナログデータを出力バッファ216より出力する。そして、次の水平ラインのデータを取り込むために水平同期信号に従ってスタートパ

ルスとデータを出力する。

【0010】以上の動作を繰り返すことで、液晶パネル201に画像を映し出すことができる。

【0011】

【発明が解決しようとする課題】このように、従来では画像データに関わらず水平同期信号に同期してスタートパルスとデータをコントロール回路202より転送しているが、各ソースドライバ203～204にはデータラッチ214、215の2段を持っているために、縦のストライプの画像データを転送する場合、データラッチには同じデータを書き込むため充放電が起こらないが、コントロール回路202からのデータラインは充放電するため、データは変化しないにもデータをセットするため充放電を繰り返すことで、無駄に電力を消費しているという問題がある。

【0012】また、コントロール回路202からソースドライバ203～204への配線は、パネル上の長い配線となるため電磁波ノイズが多くなる。また、水平方向に同一データを転送する場合は、データラインの充放電は無いが、水平同期信号は動作してしまうため、電磁波ノイズ及び消費電力が増加してしまう問題がある。

【0013】

【課題を解決するための手段】本発明の液晶駆動回路は、1垂直期間前と同じデータである場合は、ソースドライバの第一段目の記憶回路にデータを持っているのでデータの転送に必要がないので、コントロール回路に1水平ライン分のメモリを持ち、水平ライン上で前と同じデータである場合、同じであることをソースドライバに転送することでデータラインの充放電を減らす。

【0014】また、水平方向に同一データが続く場合や、ストライプなどの決まりきったパターンでは、同じデータが何個であるかということや、ラッチのセット・リセットなどを用いてデータを取り込むことで、クロックでの取り込みをしないようデータを圧縮して転送することで、クロックラインの充放電やデータラインの充放電を減らす。

【0015】そして、上記対策にて、シフトレジスタの途中から後のラッチパルスを出さなくて良い場合には、すぐに次段へスタートパルスを転送することでクロックの充放電を減らす。

【0016】

【発明の実施の形態】本発明の請求項1記載の液晶駆動回路は、液晶パネルのゲートラインを駆動するゲートドライバと、前記液晶パネルのソースラインを駆動するソースドライバと、前記ゲートドライバと前記ソースドライバを制御するコントロール回路とを有する液晶駆動回路であって、前記コントロール回路を、前記ソースドライバにデータを送信するデータと前回同じソースドライバの同じアドレスに転送したデータとを比較して、同じであれば前記ソースドライバへデータイネーブル信号を

転送してデータバスをフローティング状態とするように構成し、前記ソースドライバは、前記イネーブル信号を受け取ると、内部データラッチの取り込み信号を出力しないように構成して、前記ソースドライバのデータが変更しない場合には、前記コントロール回路より前記ソースドライバに転送するデータを少なくしたことを特徴とする。

【0017】本発明の請求項2記載の液晶駆動回路は、請求項1において、前記コントロール回路は、前記ソースドライバに転送するデータ毎にデータを圧縮して転送し、前記ソースドライバは、前記コントロール回路からのデータを解凍して内部データラッチするよう構成したことを特徴とする。

【0018】本発明の請求項3記載の液晶駆動回路は、請求項2において、データを圧縮してデータを転送および記憶した場合に、前記コントロール回路よりデータの終了信号を前記ソースドライバに転送し、前記ソースドライバでは、データの終了信号の取り込み後、次段のスタートパルスを転送するよう構成したことを特徴とする。

【0019】以下、本発明の各実施の形態を図1～図7に基づいて説明する。

(実施の形態1) 図1～図3は本発明の(実施の形態1)の液晶表示装置を示す。

【0020】図1において、101は液晶パネル、103は液晶パネル101の水平方向のラインを駆動する第1番目のソースドライバ、104は同じく水平方向のラインを駆動する第N番目のソースドライバである。105は垂直方向を駆動するゲートドライバである。102はゲートドライバ105とソースドライバ103～104を制御するコントロール回路である。

【0021】図2はコントロール回路102を示す。112はコントロール回路102の内部に設けられたデータメモリである。113は比較回路で、前記データメモリ112のデータと入力データとを比較する。114はバッファで、比較回路113の比較結果によりデータラインへのデータの転送を止めることができる。

【0022】図3はソースドライバ103を示す。116はシフトレジスタ、117はシフト信号と前記比較回路113から出力されるデータイネーブルとが入力に接続されたNAND回路である。118は第1段目のデータラッチ、119は第2段目のデータラッチである。120は前記第2段目のデータラッチ119の出力をD/A変換して出力するデータバッファである。

【0023】次に、各部の接続について詳細に説明する。図1の1番目のソースドライバ103の出力数を384出力とし、出力電圧の階調数を64階調とすると、1出力あたり6ビットのデータが必要となり、第1段目のデータラッチ118は $384 \times 6 = 2304$ 個のラッチで構成されていて、第2段目のデータラッチ119も

同様に2304個のラッチで構成されている。パネル上でRGBデータを1度に取り込むとすると、384出力分データを取り込むのに128個のシフトレジスタ116が必要である。

【0024】コントロール回路102からソースドライバ103～104へのデータバスは1出力あたり6ビットでRGBの3色必要であるから、18ビット幅必要である。また、コントロール回路102の内部には1水平ライン分のデータを記憶しておくために、 $18 \times 128 \times N$ （ソースドライバ数）分のデータメモリ112を内蔵している。

【0025】次に、各部の動作について詳細に説明する。液晶パネル駆動用のゲートドライバおよびソースドライバを制御するコントロール回路102よりデータ転送の最初を示すスタートパルスを転送し、水平同期信号に従って最新の入力データが比較回路113のレジスタにセットされる。比較回路113ではこの最新の入力データと前記データメモリ112に保持されている1垂直周期前のデータと比較する。

【0026】比較回路113で比較された結果が不一致である場合には、コントロール回路102はデータイネーブル信号をHにセットし、バッファ114よりデータをソースドライバ103に転送する。この場合、ソースドライバ103の側では、データイネーブル信号がHであるので、ラッチ信号からのデータ取り込み信号によりデータが第一段目のデータラッチ118に記憶される。

【0027】比較回路113での結果が一致である場合には、コントロール回路102はデータイネーブル信号をLにし、前記バッファ114よりデータを転送しない。ソースドライバ103の側では、データイネーブル信号がLであるので第一段目のデータラッチ118にはデータの取り込み信号が出力されず、データラッチ118の中身は前と同じデータとなる。

【0028】このようにシフトレジスタ116の信号は、次に受け渡されるために18ビットのデータバスに対して1本のデータイネーブル信号しか充放電は起こらない。したがって、垂直方向に同一データが連続する場合には、6ビットRGBの1画素で見た場合に、 $1/18$ の充放電電流となり、データが異なる場合においても、データイネーブルの充放電は無いため、この配線による充放電電流を低減できる。

【0029】（実施の形態2）図4と図5は（実施の形態1）の図2と図3の別の実施例を示す。ゲートドライバ105とソースドライバ103～104をコントロールするコントロール回路102には、図4に示すように、1水平ライン分のデータラッチ112が設けられている。123はソースドライバへデータを転送するためのデータバッファ、124はデータを内部のパターンと比較してデータを圧縮するためのエンコード回路である。

【0030】ソースドライバ103には、前記エンコード回路124で圧縮された内容を図5に示すように解凍するためのデコード回路127が設けられている。データラッチ118、119と出力バッファ120およびシフトレジスタ116は、（実施の形態2）と同じである。

【0031】次に回路の動作について詳細に述べる。まず入力データをコントロール回路102のデータメモリ112に記憶する。次に記憶したデータを転送するソースドライバ103の出力数でまとめる。前記データのまとまりの中でRGBのそれぞれのデータについて、予め決められた特定のパターンであるかどうかを判定し、特定のパターンとしての、例えば縦のストライプのデータであれば、そのパターンのコードを転送する。ソースドライバ103のデコード回路127では、特定パターンであるかどうかを判定し、特定パターンであれば、エンコード回路124から受け取ったデータをデコードし、第一段目の全ての出力端子に関わるデータをセットする。

【0032】特定パターンでない場合は、従来同様にシフトレジスタ116を使用して順次データを転送すればよいので、データ転送量はデータにもよるが大きく減らすことができる。

【0033】（実施の形態3）図6と図7は（実施の形態2）を示した図4と図5の別の実施例を示す。102はゲートドライバおよび、ソースドライバを制御するコントロール回路である。112は1水平期間分のデータメモリである。133は信号処理回路である。

【0034】ソースドライバ103は、シフトレジスタ116、データ終了判定の検出回路136、第1段目のデータラッチ118、第2段目データラッチ119および第2段目のデータをD/A変換して出力する出力バッファ120とで構成されている。

【0035】次に各部の詳細な動作について述べる。データを圧縮して転送したために、一度に全データを取り込んでしまった場合に、シフト信号は該当するソースドライバに不要であるため、コントロール回路102より、チップエンド信号をソースドライバへ転送する。

【0036】従来はシフトレジスタで転送されるキャリア信号がデータの取り込み位置を示すが、ソースドライバ側でチップエンド信号を受け取ると、次のチップへのキャリア信号を出力してシフトレジスタをリセットする。以上により、水平同期信号を少なくすることができ、また、内部のキャリア信号の充放電も少なくすることができる。

【0037】

【発明の効果】以上のように本発明の請求項1記載の構成によると、1垂直期間前と同じデータである場合は、ソースドライバの記憶回路にデータを持っているのでデータの転送に必要がないので、コントロール回路に1水



平ライン分のメモリを持ち、水平ライン上で前と同じデータである場合、同じであることをソースドライバに転送することでデータラインの充放電を減らすことができる。

【0038】また、本発明の請求項2記載の構成によると、水平方向に同一データが続く場合や、ストライプなどの決まりきったパターンでは、同じデータが何個であるかということや、ラッチのセット・リセットなどを用いてデータを取り込むことで、クロックでの取り込みをしないようデータを圧縮して転送することで、クロックラインの充放電やデータラインの充放電を減らすことができる。

【0039】また、本発明の請求項3記載の構成によると、途中から後のシフトをしなくて良い場合には、すぐに次段へスタートパルスを転送することでクロックの充放電を減らすことができるものである。

【図面の簡単な説明】

【図1】本発明の（実施の形態1）の液晶表示装置の構成図

【図2】同実施の形態のコントロール回路の構成図

【図3】同実施の形態のソースドライバの構成図

【図4】本発明の（実施の形態2）のコントロール回路の構成図

【図5】同実施の形態のソースドライバの構成図

【図6】本発明の（実施の形態3）のコントロール回路の構成図

【図7】同実施の形態のソースドライバの構成図

【図8】従来の液晶表示装置の構成図

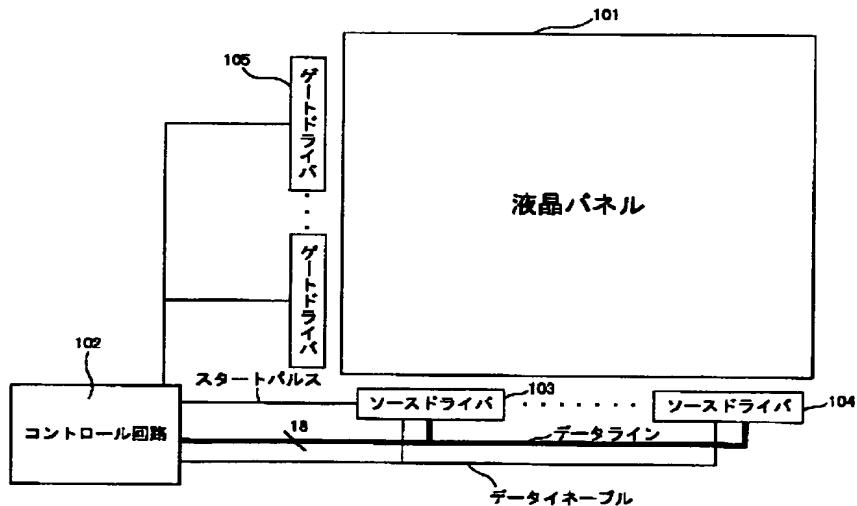
【図9】同従来例におけるコントロール回路の構成図

【図10】同従来例におけるソースドライバの構成図

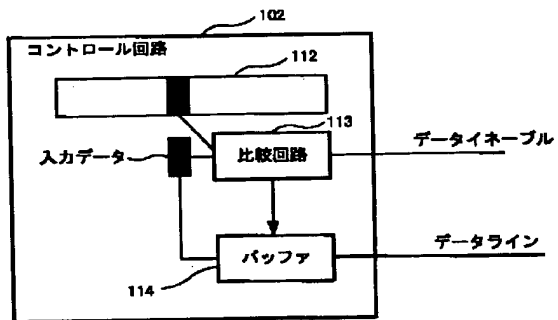
【符号の説明】

- 101 液晶パネル
- 102 コントロール回路
- 103～104 ソースドライバ
- 105 ゲートドライバ
- 112 データメモリ
- 113 比較回路
- 114 バッファ
- 116 シフトレジスタ
- 117 NAND回路
- 118 第1段目のデータラッチ
- 119 第2段目のデータラッチ
- 120 データバッファ
- 123 データバッファ
- 124 エンコード回路
- 127 デコード回路
- 136 検出回路

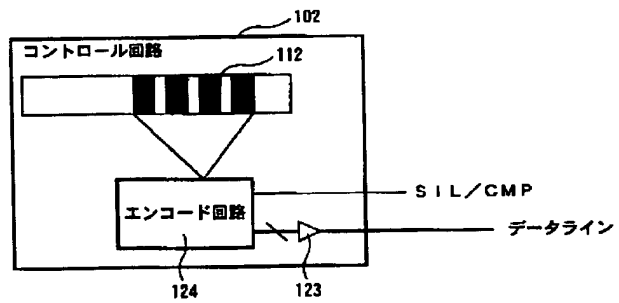
【図1】



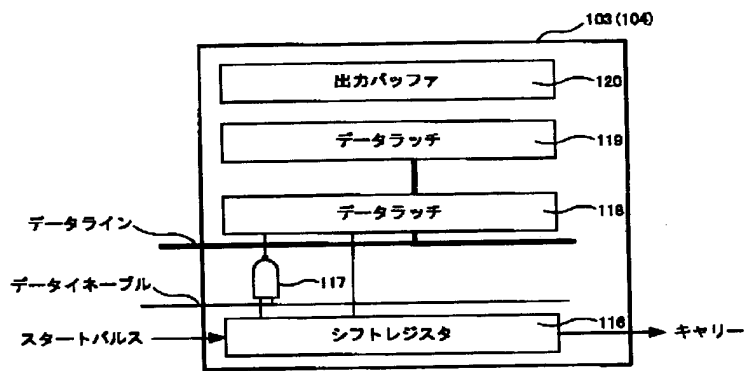
【図2】



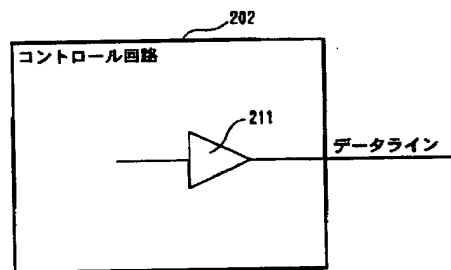
【図4】



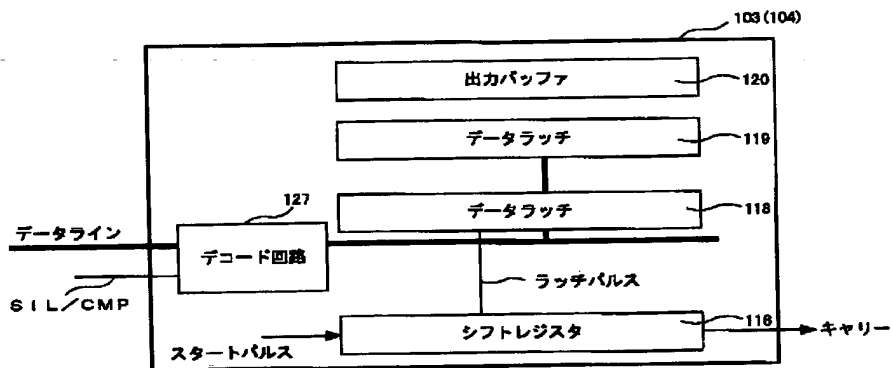
【図3】



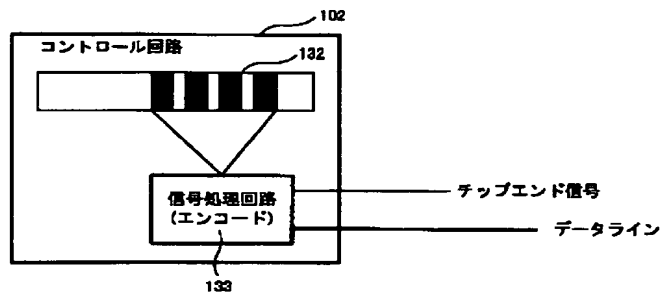
【図9】



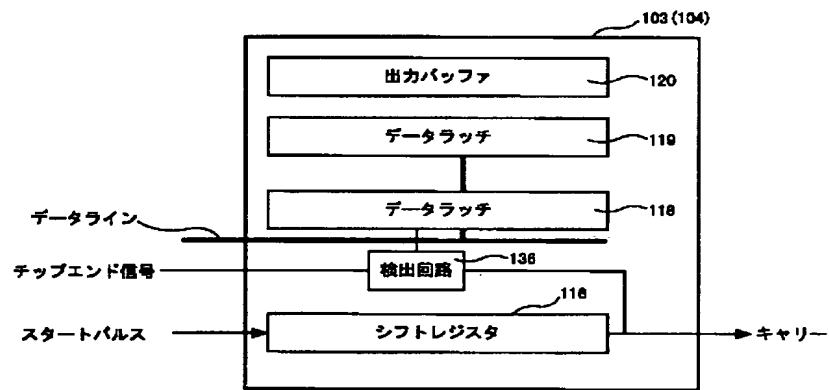
【図5】



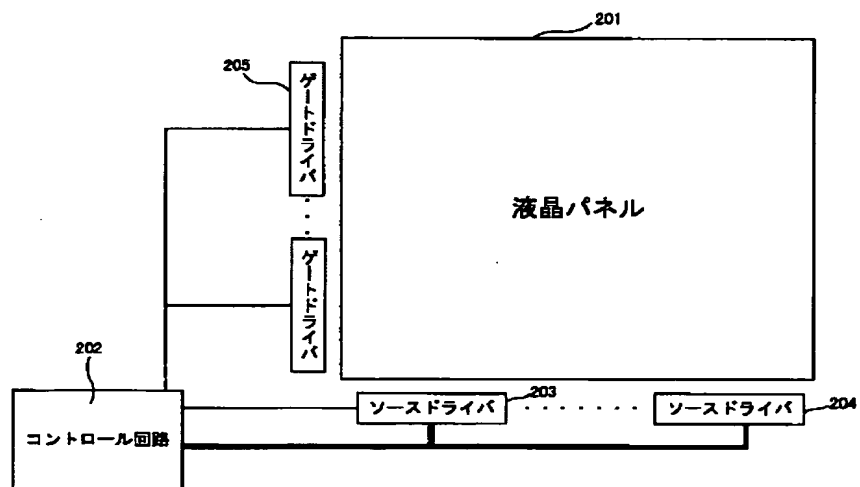
【図6】



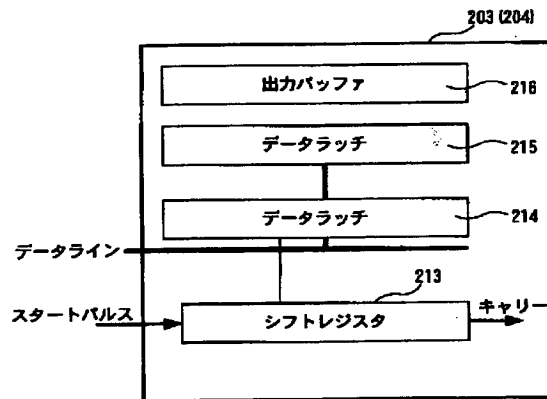
【図7】



【図8】



【図10】



フロントページの続き

(51)Int. Cl.<sup>7</sup>

G09G 3/20

識別記号

633

F I

G09G 3/20

特許庁 (参考)

633P

Fターム(参考) 2H093 NC22 NC24 NC26 NC28 NC34  
NC49 ND39  
5C006 AA01 AA02 AA11 AA22 AC21  
AF05 AF06 AF42 AF43 BB16  
BC16 BF03 BF04 BF11 FA47  
5C080 AA10 BB05 CC03 DD26 FF11  
JJ02 KK02 KK43